



Practitioner's Docket No. 60437 (70820)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application: Teruyuki Maeda
U.S. Serial No.: 10/735,399 Group No.: 2811
Filed: December 11, 2003 Examiner: Not yet assigned
For: POWER TRANSISTOR AND SEMICONDUCTOR INTEGRATED
CIRCUIT USING THE SAME

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPIES

CERTIFICATE OF EXPRESS MAILING

I hereby certify that this correspondence and the documents referred to as attached therein are being deposited with the United States Postal Service on this date April 12, 2004 in an envelope as "Express Mail Post Office Addressee," Mailing Label No. EV 438 971 598 US, addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

By: Elena Misiaszek

Elena Misiaszek

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: Japan
Application Number: 2003-404517
Filing Date: December 3, 2003

WARNING: "When a document that is required by statute to be certified must be filed, a copy, including a photocopy or facsimile transmission of the certification is not acceptable." 37 C.F.R. section 1.4(f) (emphasis added).

Respectfully submitted,

Date: April 12, 2004

By: George N. Chaclas

George N. Chaclas (Reg. No. 46,608)
EDWARDS & ANGELL, LLP
P.O. Box 55874
Boston, MA 02205
Telephone: 860-541-7720
Facsimile: 617-439-4170

Customer No.: 21874

NOTE: "The claim to priority need be in no special form and may be made by the attorney or agent, if the foreign application is referred to in the oath or declaration, as required by section 1.63." 37 C.F.R. section 1.55(a).

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 3 日
Date of Application:

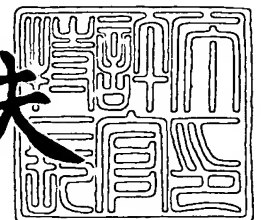
出 願 番 号 特 願 2 0 0 3 - 4 0 4 5 1 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 0 4 5 1 7]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 4 年 1 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 0 8 6 4

【書類名】 特許願
【整理番号】 192490
【提出日】 平成15年12月 3日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/72
【発明者】
 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 【氏名】 前田 晃幸
【特許出願人】
 【識別番号】 000005049
 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
 【氏名又は名称】 シャープ株式会社
【代理人】
 【識別番号】 100084146
 【弁理士】
 【氏名又は名称】 山崎 宏
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【選任した代理人】
 【識別番号】 100100170
 【弁理士】
 【氏名又は名称】 前田 厚司
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【選任した代理人】
 【識別番号】 100122286
 【弁理士】
 【氏名又は名称】 仲倉 幸典
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-359117
 【出願日】 平成14年12月11日
【手数料の表示】
 【予納台帳番号】 204815
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0208766

【書類名】 特許請求の範囲**【請求項 1】**

P 型シリコン基板上に縦型 PNP トランジスタを複数形成して構成されたパワートランジスタにおいて、

前記 P 型シリコン基板と前記複数の縦型 PNP トランジスタのコレクタを分離するために形成された N+ 型埋込層の電極部をパワートランジスタの能動領域内に 1箇所または複数設けたことを特徴とするパワートランジスタ。

【請求項 2】

請求項 1 に記載のパワートランジスタにおいて、

前記電極部の少なくとも一部はパワートランジスタの能動領域上に配線されたパワートランジスタの共通エミッタメタル配線上に設けられたことを特徴とするパワートランジスタ。

【請求項 3】

請求項 1 に記載のパワートランジスタにおいて、

前記電極部は前記 N+ 型埋込層上に形成され、オーミック接触するための N+ 型電極層と N+ 型拡散層で形成されたことを特徴とするパワートランジスタ。

に記載のパワートランジスタにおいて、

【請求項 4】

請求項 3 に記載のパワートランジスタにおいて、

前記 N+ 型拡散層は、前記複数の縦型 PNP トランジスタのベース領域としての N+ 型ベースウェル層と同時に形成されたことを特徴とするパワートランジスタ。

【請求項 5】

請求項 3 に記載のパワートランジスタにおいて、

前記 N+ 型拡散層は、前記 P 型シリコン基板上に形成された N 型エピタキシャル層よりも濃い不純物濃度 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ の範囲で形成されたことを特徴とするパワートランジスタ。

【請求項 6】

請求項 3 に記載のパワートランジスタにおいて、

前記 N+ 型拡散層は、パワートランジスタ底面にある前記 N+ 型埋込層に到達するまで不純物を拡散して形成されたことを特徴とするパワートランジスタ。

【請求項 7】

請求項 1 に記載のパワートランジスタにおいて、

前記 1 または複数の電極部が、隣接する各電極部までの距離が均等になるように配置されていることを特徴とするパワートランジスタ。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 つに記載のパワートランジスタを用いたことを特徴とする半導体集積回路。

【書類名】明細書

【発明の名称】パワートランジスタおよびそれを用いた半導体集積回路

【技術分野】

【0001】

この発明は、パワートランジスタおよびそれを用いた半導体集積回路に関し、特に縦型 PNP トランジスタを複数並べて構成されるパワートランジスタおよびそれを用いた半導体集積回路に関する。

【背景技術】

【0002】

従来、パワートランジスタとしては、半導体基板上に縦型(バーチカル)PNP トランジスタを複数並べた構成のものがある(例えば、特開平 7-183311 号公報(特許文献 1)参照)。

【0003】

図 3 は従来のパワートランジスタのパターン平面図を示し、図 4 は図 3 の IV-IV 線から見た断面図を示している。このパワートランジスタは、P 型シリコン基板 101 に、P 型シリコン基板 101 と縦型 PNP トランジスタのコレクタを分離するための N+ 型埋込層 102 と、前記 N+ 型埋込層 102 上に形成され、縦型 PNP トランジスタのコレクタとなる P+ 型コレクタ埋込層 103 と、パワートランジスタとその周辺素子を分離するために N+ 型埋込層 102 の周囲に形成された P+ 型埋込分離層 113 と、P 型シリコン基板 101 の表面全体に亘って N 型エピタキシャル成長により形成された N 型エピタキシャル層 104 と、トランジスタ特性を向上させるために縦型 PNP トランジスタのベース領域として形成された N+ 型ベースウェル層 105 と、P+ 型コレクタ埋込層 103 上に形成された P+ 型コレクタ層 106 と、素子分離のための P+ 型埋込分離層 113 の上部に形成された P+ 型分離層 116 と、前記 N+ 型ベースウェル層 105 領域内に形成された縦型 PNP トランジスタのエミッタとなる P+ 型エミッタ層 107 と、縦型 PNP トランジスタのベース電極領域に形成された N+ 型ベース層 108 と、パワートランジスタ領域直下の N+ 型埋込層 102 の電極を取るために P+ 型コレクタ層 106 の周囲を取り囲むように形成された N+ 型電極層 118 とが形成されている。また、P 型シリコン基板 101 表面には選択的にパターンニングし開口された酸化膜 120 が形成され、さらにその上に、パワートランジスタを構成する複数の単位トランジスタ間を電気的に接続するために配線された共通エミッタメタル配線 109 と、共通ベースメタル配線 110 と、共通コレクタメタル配線 111 と、共通エミッタメタル配線 109 に接続され GND に接地される N+ 型埋込層 102 のメタル配線 112 とが形成されている。なお、これらは周知である標準的なバイポーラ IC の製造方法により全て形成される。また、図 3 において共通ベースメタル配線 110 は本発明に関し重要でないので配線を一部省略している。

【0004】

前記従来のパワートランジスタの構造では、縦型 PNP トランジスタが飽和領域のときに寄生 PNP トランジスタが誤動作して P 型シリコン基板に漏れ電流が流れてしまい、結果として P 型シリコン基板の電位が安定せず、パワートランジスタの周辺回路がラッチアップを起こして回路が誤動作してしまうという問題があった。前記縦型 PNP トランジスタの飽和領域時の漏れ電流の発生メカニズムをパワートランジスタの断面構造の一部を用いて以下に説明する。

【0005】

図 5 は前記縦型 PNP トランジスタが飽和領域の時のパワートランジスタ断面図で、縦型 PNP トランジスタの飽和領域時には、共通エミッタメタル配線 109 と共通エミッタメタル配線 109 に配線接続された N+ 型埋込層 102 のメタル配線 112 に 0 V、共通ベースメタル配線 110 に -0.6 V、共通コレクタメタル配線 111 に -0.3 V の電位が与えられた状態となる。なお、図 5 中の実線矢印はホール、破線矢印は電子を表わす。

【0006】

まず、縦型PNPトランジスタの入力電流としてP+型エミッタ層107からN+型ベースウェル層105にホールが注入されてベース電流(図5中の実線矢印Aに示す)が流れる。縦型PNPトランジスタが飽和領域の時は、P+型コレクタ埋込層103とN+型ベースウェル層105の間は0.3Vの順バイアスになっており、N+型ベースウェル層105からP+型コレクタ埋込層103に電子が注入される(図5中の破線矢印Bに示す)。

【0007】

そして、注入された電子の一部は、N+型埋込層102まで届き、再結合して消滅する(図5中の破線矢印C)。このとき、前記N+型埋込層102は、自身の抵抗R1とN型エピタキシャル層104の抵抗R2を介してメタル配線112にて共通エミッタメタル配線109に配線接続されGNDに接地しているので、抵抗R1, 抵抗R2が大きいと注入された電子の一部は、再結合せずにP+型コレクタ埋込層103に戻る(図5中の破線矢印C')。

【0008】

再結合せずにP+型コレクタ埋込層103に戻った電子によりP+型コレクタ埋込層103からN+型埋込層102にホールが注入され(図5中の実線矢印D)、N+型埋込層102の電位が下がることにより、ホール電流が寄生PNPトランジスタ(P+型コレクタ埋込層103をエミッタ、N+型埋込層102をベース、P型シリコン基板101をコレクタとするトランジスタ)によりhFE倍されて、P型シリコン基板101に漏れ電流として流れる(図5中の実線矢印E)。

【0009】

前記従来のパワートランジスタは、図4に示すように、パワートランジスタの能動領域を囲い込むようにN+型埋込層102の電極部(N+型電極層118パターン領域)が設けられているため、パワートランジスタ中央部直下のN+型埋込層103から前記電極部までの距離が長くなり、抵抗R1が非常に大きくなる。したがって、パワートランジスタの飽和領域時においては、寄生PNPトランジスタが誤動作しやすく、P型シリコン基板101に漏れ電流が流れてしまう問題があった。

【0010】

このような問題は、結果としてP型シリコン基板101の電位が安定せず、パワートランジスタの周辺回路がラッチアップを起こし回路が誤動作する致命的な問題となる。

【特許文献1】特開平7-183311号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

そこで、この発明の目的は、パワートランジスタの寄生PNPトランジスタの誤動作を抑制することにより、周辺回路のラッチアップによる回路誤動作を防止するパワートランジスタおよびそれを用いた半導体集積回路を提供することにある。

【課題を解決するための手段】

【0012】

前記目的を達成するため、この発明のパワートランジスタは、P型シリコン基板上に縦型PNPトランジスタを複数並べて構成されたパワートランジスタにおいて、前記P型シリコン基板と前記複数の縦型PNPトランジスタのコレクタを分離するためのN+型埋込層の電極部をパワートランジスタの能動領域内に1箇所または複数有することを特徴としている。

【0013】

前記パワートランジスタによれば、パワートランジスタの能動領域内に少なくとも1つ以上のN+型埋込層の電極部を設けることにより、パワートランジスタ直下のN+型埋込層から電極部までの距離が短くなり抵抗が小さくなるため、寄生PNPトランジスタの誤動作を防止でき、パワートランジスタの周辺回路のラッチアップによる回路誤動作を防止することができる。

【0014】

また、一実施形態では、パワートランジスタの能動領域上に形成、配線されたパワート

ランジスタの共通エミッタメタル配線上にN+型埋込層の電極部を設けている。

【0015】

前記実施形態のパワートランジスタによれば、パワートランジスタの能動領域上に形成、配線されたパワートランジスタの共通エミッタメタル配線下にN+型埋込層の電極部を設けることによりパワートランジスタサイズを大きくすることなく、限られたパワートランジスタの設計スペースを有効に活用することができ、複雑なパターン設計を不要とする。

【0016】

また、一実施形態では、前記電極部は、オーミック接触するためのN+型電極層とN+型拡散層で形成されている。

【0017】

寄生PNPトランジスタの誤動作の主要原因は、N+型埋込層の抵抗成分が大きいためであるが、N+型電極層からパワートランジスタ底面にあるN+型埋込層までの縦方向に存在するN型エピタキシャル層の抵抗も、影響する度合いは小さいが要因の一つになっている。そこで、前記実施形態のパワートランジスタによれば、N+型埋込層の電極部に、N型エピタキシャル層よりも濃い不純物濃度のN+型拡散層を形成することで、N+型埋込層までの抵抗を低減することができ、寄生PNPトランジスタの誤動作を防止することができる。

【0018】

また、一実施形態では、前記N+型拡散層は、前記複数の縦型PNPトランジスタのベース領域としてのN+型ベースウェル層と同時に形成されている。

【0019】

前記実施形態のパワートランジスタによれば、縦型PNPトランジスタの特性向上のために必要である縦型PNPトランジスタのベース領域に形成しているN+型ベースウェル層とN+型拡散層とを同時に設けるので、新たに工程を付加することなくN型エピタキシャル層の抵抗を小さくすることが可能となる。

【0020】

また、一実施形態では、前記N+型拡散層は、前記P型シリコン基板上に形成されたN型エピタキシャル層よりも濃い不純物濃度 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ の範囲で形成されている。

【0021】

前記実施形態のパワートランジスタによれば、N+型拡散層の不純物濃度の実用範囲としては、N型エピタキシャル層よりも濃くて縦型PNPトランジスタの特性に影響しない程度に薄くする。これを考慮すれば実用範囲としては $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ が良い。これにより縦方向に存在するN型エピタキシャル層の抵抗を低減することできる。

【0022】

また、一実施形態では、前記N+型拡散層は、パワートランジスタ底面にある前記N+埋込層に到達するまで不純物を拡散して形成されている。

【0023】

前記実施形態のパワートランジスタによれば、N+型拡散層をパワートランジスタ底面に存在するN+型埋込層に到達するよう拡散して形成することで、N型エピタキシャル層の抵抗を低減することができ、N型エピタキシャル層が残存して抵抗が増大することはない。

【0024】

また、一実施形態では、前記N+型埋込層の電極部が1箇所または複数設けられているとき、隣接する各電極部までの距離が均等になるように前記複数の電極部を配置している。

【0025】

前記実施形態のパワートランジスタによれば、隣接するN+型埋込層の電極部までの距

離が均等になるように複数配置することによって、パワートランジスタ能動領域直下のN+型埋込層の抵抗を小さくすることができ、埋込領域の抵抗分布の均一化が図れ、局所的な漏れ電流の発生を抑制することができる。また、N+型埋込層の抵抗値や寄生PNPトランジスタのhFE等にもよるが、必要であれば抵抗を低減するためにN+型埋込層の電極部の配置数を増やすことも可能である。

【0026】

また、この発明の半導体集積回路は、前記パワートランジスタのうちのいずれか1つを用いたことを特徴としている。

【0027】

前記半導体集積回路によれば、寄生PNPトランジスタの誤動作および周辺回路のラッチアップによる回路誤動作を防止することが可能なパワートランジスタを用いることによって、安定した動作ができる高性能な半導体集積回路を提供することができる。

【発明の効果】

【0028】

以上より明らかなように、この発明のパワートランジスタによれば、パワートランジスタの能動領域内に複数のN+型埋込層の電極部を設けることで、N+型埋込層から電極層までの抵抗が低減できるため、寄生PNPトランジスタの誤動作を防止でき、P型シリコン基板への漏れ電流を抑制することが可能となるため、パワートランジスタの周辺回路のラッチアップによる回路誤動作を防止することができる。

【0029】

また、この発明の半導体集積回路によれば、前記パワートランジスタを用いることによって、安定した動作ができる高性能な半導体集積回路を提供することができる。

【発明を実施するための最良の形態】

【0030】

以下、この発明のパワートランジスタを図示の実施の形態により詳細に説明する。

【0031】

図1はこの発明の実施の一形態のパワートランジスタのパターン平面図であり、図2は図1のII-II線からみた断面図を示している。

【0032】

このパワートランジスタは、図1、図2に示すように、P型シリコン基板1に、P型シリコン基板1と縦型PNPトランジスタのコレクタを分離するためのN+型埋込層2と、縦型PNPトランジスタのコレクタとなるP+型コレクタ埋込層3と、N+型埋込層2の周囲に形成され、パワートランジスタとその周辺素子を分離するためのP+型埋込分離層13と、P型シリコン基板1の表面全体に亘ってエピタキシャル成長により形成されたN型エピタキシャル層4と、トランジスタ特性を向上させるために縦型PNPトランジスタのベース領域に形成されたN+型ベースウェル層5と、N型エピタキシャル層4の抵抗を低減するために、従来からパワートランジスタの周囲を囲むように形成されたN+型埋込層2の電極部a（N+型電極層18領域直下）とパワートランジスタ能動領域内のN+型埋込層2の電極部aとに形成したN+型拡散層15と、P+型コレクタ埋込層3上に形成されたP+型コレクタ層6と、素子分離のためにP+型埋込分離層13上に形成されたP+型分離層16と、N+型ベースウェル層5領域内に形成された縦型PNPトランジスタのエミッタとなるP+型エミッタ層7と、縦型PNPトランジスタのベース電極領域に形成されたN+型ベース層8とが形成されている。

【0033】

また、P型シリコン基板1表面には選択的にパターンニングし開口された酸化膜20が形成されている。さらにその上に、パワートランジスタを構成する複数の単位トランジスタ間を電氣的に接続するために配線された共通エミッタメタル配線9と、共通ベースメタル配線10と、共通コレクタメタル配線11と、共通エミッタメタル配線9に接続されGNDに接地されるN+型埋込層2のメタル配線12とが形成されている。即ち、上記共通エミッタメタル配線9とメタル配線12とは、図2に示していないが、電氣的に接続され

ている。

【0034】

なお、パワートランジスタ能動領域内に形成されたN+型埋込層の電極部aは前記共通エミッタメタル配線9により接続される。この電極部aは、共通エミッタメタル配線9の下のN+型電極層18とN+型拡散層15とからなる。上記N+型電極層18は共通エミッタメタル配線9とオーミック接触する。この発明によるパワートランジスタは周知とされる標準的なバイポーラICの製造方法によって形成する。図1において共通ベースメタル配線10は本発明に関し重要でないので配線を一部省略している。

【0035】

前記構成のパワートランジスタによれば、従来から問題であった寄生PNPトランジスタの誤動作を防止し、P型シリコン基板1への漏れ電流を抑制することが可能となり、パワートランジスタの周辺回路のラッチアップによる回路誤動作を防止することができる。

【0036】

なお、この発明の実施の形態に基づき設計したパワートランジスタの漏れ電流は、従来比20%程度まで改善されることを本発明者が行った実験により確認している。

【0037】

パワートランジスタの共通エミッタメタル配線9と同電位にする必要ある前記複数のN+型埋込層2の電極部aは、パワートランジスタの能動領域上に形成、配線された共通エミッタメタル配線9に直接接続できるため、限られたパワートランジスタの設計スペースを有効に活用することができ、複雑なパターン設計を不要とする。

【0038】

また、N+型埋込層2の電極部aのN+型拡散層15はN+型ベースウェル層5と同時に形成し、N型エピタキシャル層4よりも濃い不純物濃度で、かつ下部のN+型埋込層2に到達するまで不純物を拡散し形成することで、N+型電極層18からパワートランジスタの底面にあるN+型埋込層2までの抵抗R2を低減することが可能となる。

【0039】

通常、バイポーラIC(Integrated Circuit)のN型エピタキシャル層は、比抵抗1~5 Ωcm (不純物濃度1~5 $\times 10^{15}\text{atoms}/\text{cm}^3$)で形成されるのが一般的であるが、縦型PNPトランジスタの特性に影響するN+型ベースウェル層5も考慮し、N+型拡散層15の不純物濃度は、1 $\times 10^{16}$ ~1 $\times 10^{17}\text{atoms}/\text{cm}^3$ の範囲で形成するのが望ましい。

【0040】

また、パワートランジスタ能動領域の周囲に形成された従来からあるN+型埋込層の電極部a(N+型電極層18の領域)、および能動領域内に設けた複数のN+型埋込層2の電極部aの間の距離を互いに短くかつ均等に配置することにより、パワートランジスタ直下のN+型埋込層2の抵抗R1を小さくすることができ、N+型埋込層2の抵抗分布の均一化が図れ、局所的な漏れ電流の発生を抑制することができる。

【0041】

また、前記N+型埋込層2の抵抗値、寄生PNPトランジスタのhFE等にもよるが、必要であれば抵抗R1を低減するためにN+型埋込層2の電極部aの配置数を増やすことも可能である。

【0042】

前記実施の形態では、P型シリコン基板1に複数の縦型PNPトランジスタが形成されたパワートランジスタについて説明したが、半導体基板はシリコン基板に限らず、他の材料からなる半導体基板でもよい。また、前記実施の形態では、複数のN+型埋込層2の電極部aを設けたパワートランジスタについて説明したが、電極部aは1つであってもよく、縦型PNPトランジスタの構成等に応じて電極部aの配置や数は適宜設定すればよい。

【0043】

また、前記実施形態のパワートランジスタを集積回路に用いることによって、安定した動作ができる高性能な集積回路を実現することができる。

【0044】

以上、本発明を説明したが、これは種々変更してもよいことは明らかである。そのような変更は、本発明の精神と範囲からの逸脱であるとみなされるべきではなく、当業者にとって自明であるような変更はすべて、本発明に含まれるものである。

【図面の簡単な説明】

【0045】

【図1】図1はこの発明の実施の一形態のパワートランジスタの平面図である。

【図2】図2は図1のII-II線から見た断面図である。

【図3】図3は従来のパワートランジスタのパターン平面図である。

【図4】図4は図3のIV-IV線から見た断面図である。

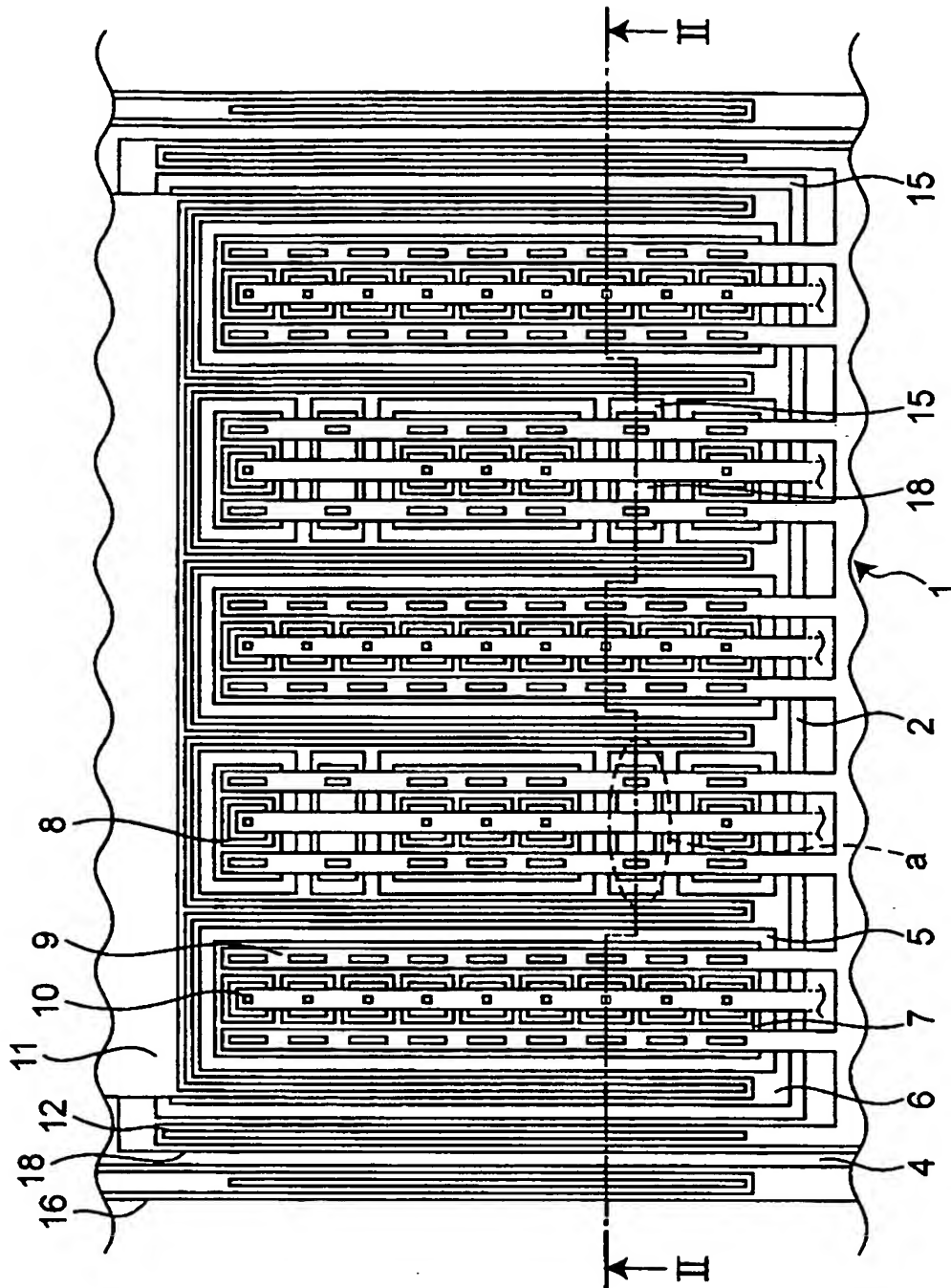
【図5】図5は飽和領域時の縦型PNPトランジスタの断面構造を示す図である。

【符号の説明】

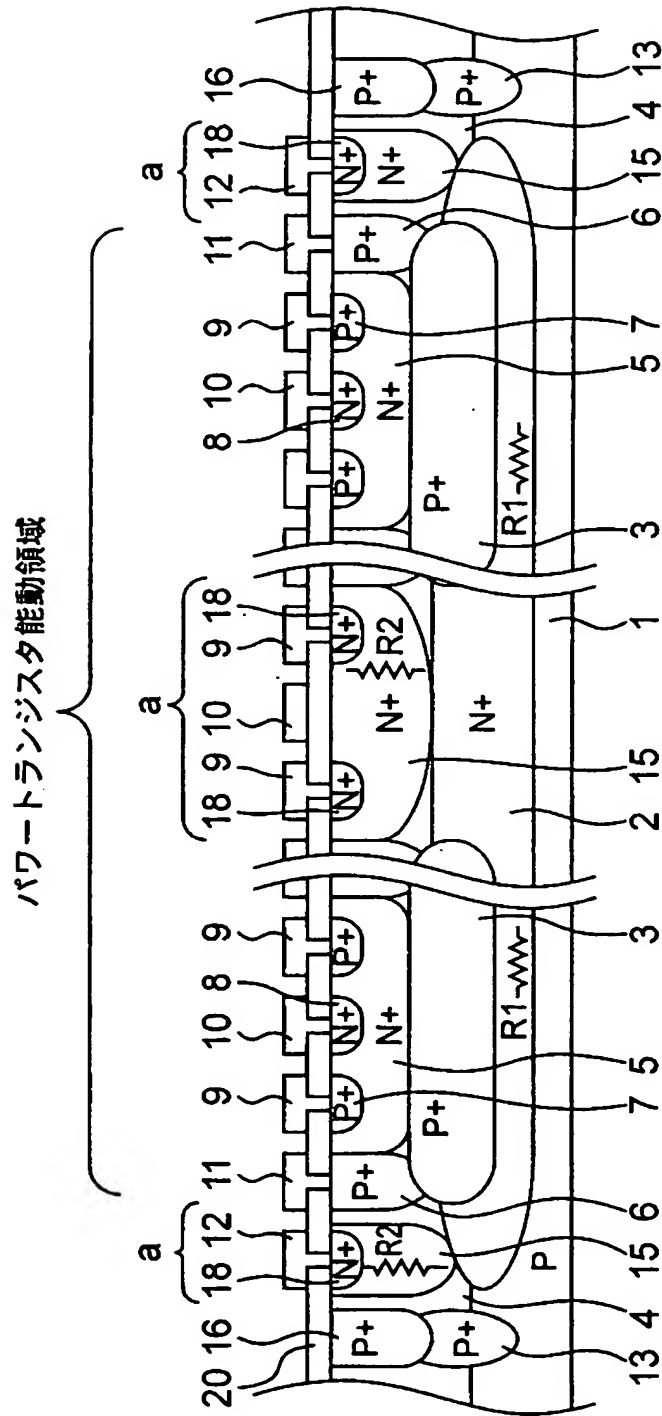
【0046】

- 1…P型シリコン基板、
- 2…N+型埋込層、
- 3…P+型コレクタ埋込層、
- 4…N型エピタキシャル層、
- 5…N+型ベースウェル層、
- 6…P+型コレクタ層、
- 7…P+型エミッタ層、
- 8…N+型ベース層、
- 9…共通エミッタメタル配線、
- 10…共通ベースメタル配線、
- 11…共通コレクタメタル配線、
- 12…N+型埋込層のメタル配線、
- 13…P+型埋込分離層、
- 15…N+型拡散層、
- 16…P+型分離層、
- 18…N+型電極層、
- 20…酸化膜(絶縁膜)。

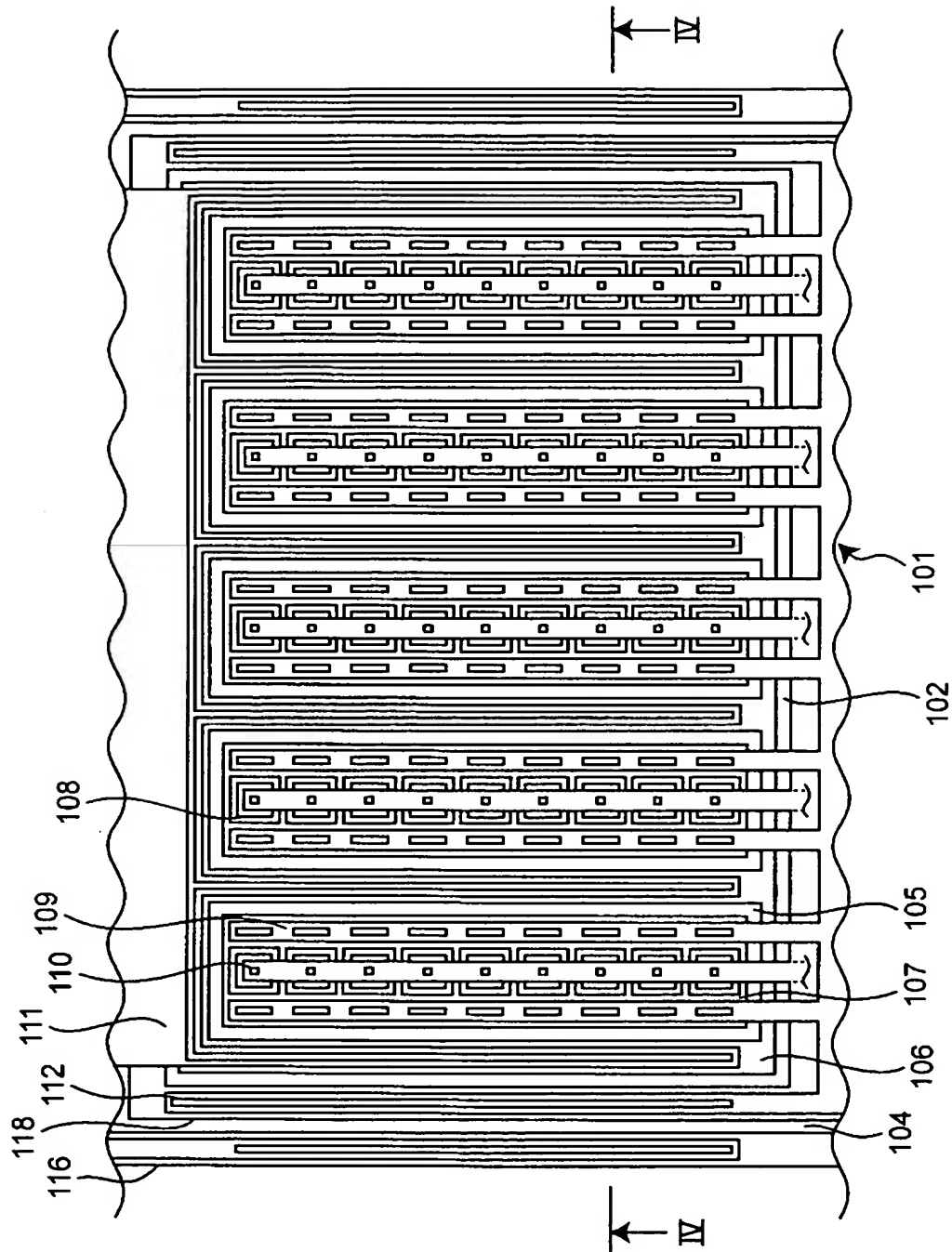
【書類名】 図面
【図 1】



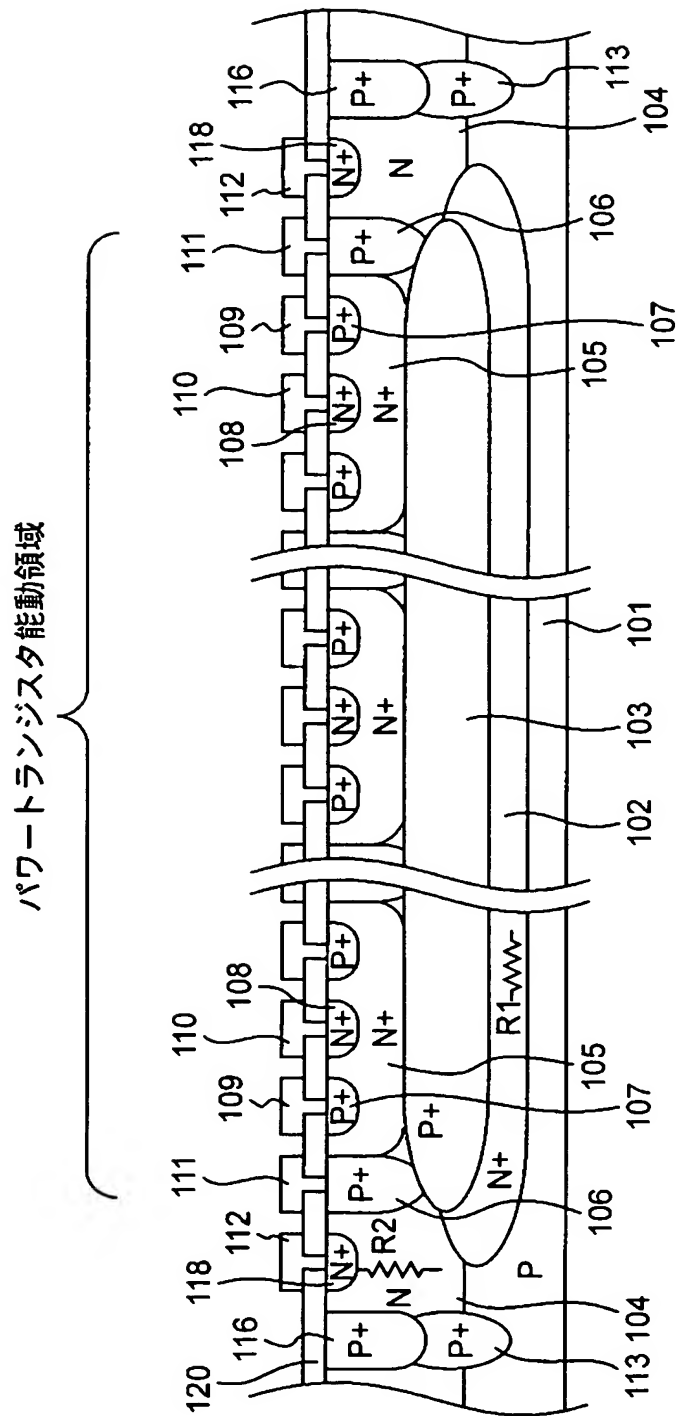
【図 2】



【図 3】



【圖 4】



【書類名】 要約書**【要約】**

【課題】 寄生PNPトランジスタの誤動作および周辺回路のラッチアップによる回路誤動作を防止できるパワートランジスタおよびそれを用いた半導体集積回路を提供する。

【解決手段】 P型シリコン基板1上に縦型PNPトランジスタを複数並べて構成されたパワートランジスタにおいて、前記P型シリコン基板1と前記複数の縦型PNPトランジスタのコレクタを分離するためのN+型埋込層2の電極部aをパワートランジスタの能動領域内に1箇所または複数有する。

【選択図】 図1

特願 2 0 0 3 - 4 0 4 5 1 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社